

?S PN=JP 6326472
S5 1 PN=JP 6326472
?T S5/5

5/5/1
DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

010145855 **Image available**

WPI Acc No: 1995-047107/199507

XRPX Acc No: N95-037324

Insulation substrate for chip type capacitors - forms two conductive layers in boundary face of three insulation layers to connect capacitor prepared inside insulation layers

Patent Assignee: TOSHIBA KK (TOKE); TOSHIBA MICROELECTRONICS KK (TOSZ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6326472	A	19941125	JP 93111991	A	19930514	199507 B

Priority Applications (No Type Date): JP 93111991 A 19930514

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6326472	A	4	H05K-003/46	

Abstract (Basic): JP 6326472 A

The insulation substrate (15) consists of multiple insulator layers (10 - 12) and forms two conducting layers (13, 14) in the boundary. The conductive layers are connected to a capacitor (16) which is made in the substrate for noise prevention. These conducting layers are connected to an electric conductor pattern for supply voltages (Vcc,Vss) on the insulation substrate surface.

ADVANTAGE - Eliminates space and time needed for mounting external capacitor, improves productivity, eliminates short circuit of separate mounting capacitor caused by lack of mounting gap and avoids use of external capacitor in IC for noise prevention.

Dwg.6/9

Title Terms: INSULATE; SUBSTRATE; CHIP; TYPE; CAPACITOR; FORM; TWO; CONDUCTING; LAYER; BOUNDARY; FACE; THREE; INSULATE; LAYER; CONNECT; CAPACITOR; PREPARATION; INSULATE; LAYER

Derwent Class: U14; V04

International Patent Class (Main): H05K-003/46

International Patent Class (Additional): H01L-023/12; H01L-029/02; H05K-001/18

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326472

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 5 K 3/46

Q 6921-4E

H 0 1 L 23/12

29/02

H 0 5 K 1/18

R 7128-4E

H 0 1 L 23/12

B

審査請求 未請求 請求項の数2 O L (全 4 頁)

(21) 出願番号

特願平5-111991

(22) 出願日

平成5年(1993)5月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 古澤 寿茂

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

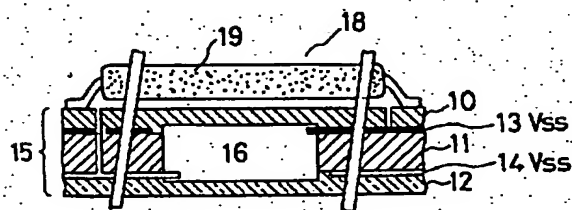
(74) 代理人 弁理士 大胡 典夫

(54) 【発明の名称】 チップコンデンサ内蔵基板

(57) 【要約】

【目的】 絶縁性基板に電源ノイズ防止用コンデンサを実装することによる不良の発生を防止する点。

【構成】 本発明に係わるチップコンデンサ内蔵基板は、チップコンデンサとして機能する領域を複数の絶縁物層で構成する絶縁性基板内に設け、絶縁物層の境界部分に形成する導体層即ちVcc及びVssに予め内部で配線することにより絶縁性基板表面における実装を省略する。



【特許請求の範囲】

【請求項1】複数の絶縁物層で構成する絶縁性基板と、この絶縁物層の境界に形成する導体層と、前記絶縁性基板表面に形成する導体パターンと、前記複数の絶縁物層内に埋設し前記導体層と電氣的に接続するチップコンデンサとして機能する領域とを具備することを特徴とするチップコンデンサ内蔵基板

【請求項2】前記絶縁性基板の境界部分に形成する導体層をチップコンデンサとして機能する領域に電氣的に接続するに際して、前記領域の両端子に対応するいずれか一方の導体層を非接触状態とすることを特徴とする請求項1記載のチップコンデンサ内蔵基板

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子部品の実装基板に係わり、特に電源ノイズ防止用コンデンサが必要な電子部品を搭載する絶縁性基板の改良に関する。

【0002】

【従来の技術】半導体素子は、単結晶基板にモノリシックに造込んだ製品と、このようなコイルや抵抗などの部品と半導体素子をいわゆるハイブリッド方式により絶縁性基板に搭載して必要な電子回路を構成するいわゆるモジュール(Module)製品が多く分野で利用されている。

【0003】このモジュール製品用の半導体素子はいわゆる表面実装型であり、封止樹脂外に導出するアウターリードを折曲げて、これを絶縁性基板表面に形成する導電性パターンに例えば半田付けにより固着する。

【0004】一方いわゆるトランスファーマールド(Transfer Mold)法により樹脂により表面を封止する表面実装型の樹脂封止型半導体素子では、機種によりアウターリードの曲げ形が異なり、これに対応してリードフレームの型も違う。即ち、SOP(Small Outline Package)、TSOP(Thin Small Outline Package)、SOJ(Small Outline J-shape)などのリードフレームを半導体素子の機種に応じて選択する。

【0005】モジュール製品にあって電源ノイズ防止用コンデンサが必要な機種も多用されており、その製品を図1ならびに図2により説明すると、図1及び図2はモジュール製品用の電源防止用コンデンサ1を絶縁性基板2に取付けた樹脂封止型半導体素子3の側面図であり、使用する電源防止用コンデンサ1の寸法は1.5mm×3.2mm×0.3mm〜0.5mm程度である。

【0006】一方図1に明らかにしたモジュール製品に適用する絶縁性基板2は、リードフレーム即ち外囲器としてSOJを利用した樹脂封止型半導体素子3が示されており、これには半導体素子を埋設する封止樹脂層4表面と絶縁性基板2間に電源ノイズ防止用チップコンデンサ1を設置するのに十分な空間がある。

【0007】これに対してSOPまたはTSOPを使用した樹脂封止型半導体素子3においては、このような空間がな

いたために図3に示すように電源ノイズ防止用チップコンデンサ1を樹脂封止型半導体素子3の近くに配置する方式が採られている。

【0008】また改良製品としては、電源ノイズ防止用コンデンサ1を絶縁性基板2に設置する凹部にマウントする方式が知られているが、図4に示すように配線5を凹部6の周りに形成することが要る。

【0009】更に図2ならびに図4に示すように絶縁性基板2に形成する導電性パターン(図示せず)にマウントした樹脂封止型半導体素子3の近くに電源ノイズ防止用チップコンデンサ1を設置する場合もある。図中丸形の図形は、コンタクト領域7を示す。

【0010】

【発明が解決しようとする課題】外囲器としてSOPまたはTSOPを使用する樹脂封止型半導体素子においては、電源ノイズ防止用チップコンデンサ1を配置するのに必要な空間が余分に必要になり、絶縁性基板2面積が増大する。この結果絶縁性基板2表面に形成する導電性パターン即ち配線5(図4参照)を延長する結果となり、絶縁性基板2容量が増加する。更に電源ノイズ防止用チップコンデンサ1を絶縁性基板2に取付ける工程が要るので実装時間が増大する。

【0011】更にまた電源ノイズ防止用チップコンデンサ1を絶縁性基板2に取付ける際Vcc及びVss電源端子間の距離が近いために実装ズレが発生した際には電源の短絡が発生して電子デバイスが破壊する恐れがある。しかも実装後の外観検査において、電子デバイスの外に電源ノイズ防止用チップコンデンサ1にも気を配る必要がでて検査時間が増大する。

【0012】本発明はこのような事情により成されたもので、特に電源ノイズ防止用チップコンデンサを絶縁性基板表面上からなくして、絶縁性基板面積の縮小化、絶縁性基板表面の配線長の短縮による絶縁性基板容量の減少、電源ノイズ防止用チップコンデンサをなくし更に電源ノイズ防止用チップコンデンサ実装に伴う不良を解消する。

【0013】

【課題を解決するための手段】複数の絶縁物層で構成する絶縁性基板と、この絶縁物層の境界部分に形成する導体層と、前記絶縁性基板表面に形成する導体パターンと、前記複数の絶縁物層内に埋設し前記導体層と電氣的に接続するチップコンデンサとして機能する領域に本発明に係わるチップコンデンサ内蔵基板の特徴がある。更に、前記絶縁性基板の境界部分に形成する導体層をチップコンデンサとして機能する領域に電氣的に接続するに際して、前記領域の両端子に対応するいずれか一方の導体層を非接触状態とする点にも特徴がある。

【0014】

【作用】このように本発明に係わるチップコンデンサ内蔵基板は、チップコンデンサとして機能する領域を複数

の絶縁物層で構成する絶縁性基板内に設け、絶縁物層の境界部分に形成する導電層即ちVcc及びVssに予め内部で配線することにより絶縁性基板表面におけるチップコンデンサの実装を省略する。

【0015】

【実施例】本発明に係わる実施例を図5乃至図9を参照して説明する。図5に明らかにするように例えばガラスエポキシ(Epoxy)で構成する複数層10~12を一体に設置するが、各層間に導電性金属層(Al-SiまたはAl-Si-Cu)13、14を例えばスパッタリング法または真空蒸着法により堆積して絶縁性基板15を構成する。

【0016】更に中間のガラスエポキシ層11には、チップコンデンサとして機能する領域16として、例えば誘電体層を挟んで導電層即ち端子を被覆して構成する。導電性金属層13、14との接続に際しては一方の端子に導電性金属層13 Vssを電氣的に接続し、他方の端子には導電性金属層13でなく導電性金属層14 Vccを電氣的に接続する(図7参照)。夫々の端子に接続した導電性金属層13、14は、絶縁性基板15表面に形成する例えばスルーホール(Through Hole)を介して導出する。絶縁性基板15表面には、導電性金属例えばAl-SiまたはAl-Si-Cuパターン17(図6参照)を被覆して、後述する樹脂封止型半導体素子18をマウント・固着するので金属層13、14などと電氣的に接続して本発明に係わるチップコンデンサ内蔵基板を形成する。

【0017】このような絶縁性基板15表面に形成する導電性パターン17には樹脂封止型半導体素子18を2列に例えば18個を配置後固着してモジュールの主部を構成する。この固着は図6に明らかにするように、樹脂封止型半導体素子18の封止樹脂層19から導出するアウターリード20を銅パターン17に例えば半田層(図示せず)により固着する。図6には、絶縁性基板15の一部を切載してチップコンデンサとして機能する領域16を露出した状態を明らかにする。

【0018】このようにチップコンデンサとして機能する領域16を設置した絶縁性基板15は表面に形成する導電性パターン17に複数個の樹脂封止型半導体素子18を電氣的に接続してモジュールとする。

【0019】モジュールの主部を構成する樹脂封止型半導体素子18を列状に配置できる(図8参照)ので、ほぼ直線状の銅パターン17を配線層として利用することができる(図9参照)。図9に示す丸はコンタクト21である。

【0020】

【発明の効果】本発明に係わるチップコンデンサ内蔵基板は次の効果がある。

【0021】チップコンデンサを実装するスペースが不要になり絶縁性基板を縮小化でき、この結果絶縁性基板表面における配線を従来より直線的に設置可能となるので、基板容量が少なくなる。更にチップコンデンサの実装工程がなくなるために工数と時間が短縮できる。

【0022】更にまた、絶縁基板にチップコンデンサを取付けないために、ズレに伴う電氣的短絡事故がなくなるし、実装ズレを防ぐために行う検査工程がなくなり、大幅な時間短縮となる。

【図面の簡単な説明】

【図1】従来のモジュール製品におけるチップコンデンサと樹脂封止型半導体素子の設置状況を示す側面図である。

【図2】従来のモジュール製品におけるチップコンデンサと樹脂封止型半導体素子の他の設置状況を示す側面図である。

【図3】従来のモジュール製品におけるチップコンデンサの他の配置状況を示す平面図である。

【図4】従来のモジュール製品におけるチップコンデンサと樹脂封止型半導体素子の他の設置状況を示す平面図である。

【図5】本発明に係わる実施例を示す断面図である。

【図6】図5の要部を示す斜視図である。

【図7】本発明に係わるチップコンデンサとして機能する領域を明らかにする断面図である。

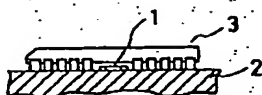
【図8】本発明に係わる実施例に利用する樹脂封止型半導体素子の平面図である。

【図9】本発明に係わる実施例の配線状態の一部を示す図である。

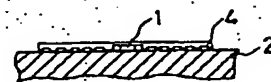
【符号の説明】

- 1、16：電源ノイズ防止用チップコンデンサ、
- 2、15：絶縁性基板、
- 3、18：樹脂封止型半導体素子、
- 4、19：封止樹脂層、
- 5、17：配線、
- 10~12：ガラスエポキシ層、
- 13~14：導電性金属層、
- 20：アウターリード、
- 7、21：コンタクト。

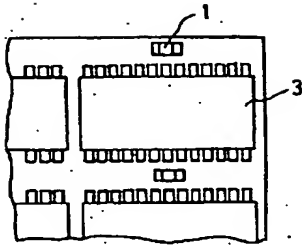
【図1】



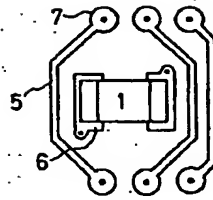
【図2】



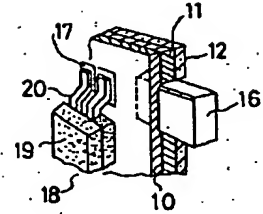
【図3】



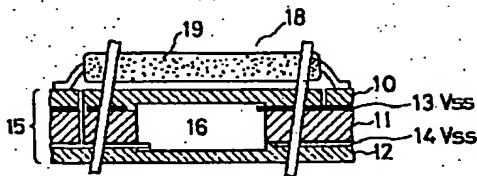
【図4】



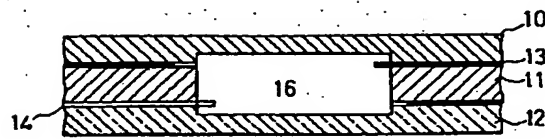
【図6】



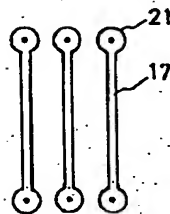
【図5】



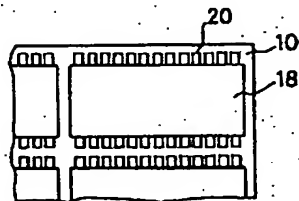
【図7】



【図9】



【図8】



【手続補正書】

【提出日】平成5年7月2日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】モジュール製品にあっては電源ノイズ防止

用コンデンサが必要な機種も多用されており、その製品を図1ならびに図2により説明すると、図1及び図2はモジュール製品用の電源ノイズ防止用コンデンサ1を絶縁性基板2に取付けた樹脂封止型半導体素子3の側面図であり、使用する電源ノイズ防止用コンデンサ1の寸法は1.5mm×3.2mm×0.3mm～0.5mm程度である。